

## 明 細 書

## パルス変調回路

## 技術分野

この発明は、パルス信号の周波数を変調するパルス変調回路に関するものである。

## 背景技術

従来のパルス変調回路は、パルス印加端子からパルス信号を入力し、局部発振波入力端子から局部発振信号 LO を入力すると、内蔵しているアンチパラレルダイオードペアがパルス信号と局部発振信号 LO を混合することにより、その局部発振信号 LO の 2 倍の周波数を有するパルス信号を RF 端子に出力するようにしている（以下の特許文献 1 を参照）。

[特許文献 1] 特開 2000-338233 号公報（第 6 頁から第 7 頁、図 1）

従来のパルス変調回路は以上のように構成されているので、局部発振信号 LO の 2 倍の周波数を有するパルス信号を RF 端子に出力することができる。しかし、パルス印加端子に印加されるパルス信号の電圧が零ボルトに近い場合、数十ミリボルトの雑音が重畠されるため、その雑音の影響を回避するには、RF 端子に出力するパルス信号の OFF 時の出力電力を高めに設定する必要があり、RF 端子に出力するパルス信号の ON 時の出力電力と OFF 時の出力電力の比が小さくなってしまう課題があった。

この発明は上記のような課題を解決するためになされたもので、RF

端子に出力するパルス信号のON時の出力電力とOFF時の出力電力の比を大きく取ることができるパルス変調回路を得ることを目的とする。

### 発明の開示

この発明に係るパルス変調回路は、分波手段により入力されたパルス信号と局部発振信号を混合する混合手段に印加される電圧を分圧する分圧手段を設けたものである。

このことによって、パルス出力端子に出力するパルス信号のON時の出力電力とOFF時の出力電力の比を大きく取ることができる効果がある。

### 図面の簡単な説明

第1図はこの発明の実施の形態1によるパルス変調回路を示す構成図である。

第2図はDCパルス信号の印加電圧とRFパルス信号の出力電力との関係を示すグラフ図である。

第3図はアンチパラレルダイオードペアの等価回路である。

第4図は2倍の高調波の位相を示すグラフ図である。

第5図はこの発明の実施の形態2によるパルス変調回路を示す構成図である。

第6図はこの発明の実施の形態3によるパルス変調回路を示す構成図である。

第7図はこの発明の実施の形態4によるパルス変調回路を示す構成図である。

第8図はこの発明の実施の形態5によるパルス変調回路を示す構成図である。

第9図はダイオードが直列に接続されている場合の特性を示すグラフ図である。

第10図はこの発明の実施の形態6によるパルス変調回路を示す構成図である。

第11図はこの発明の実施の形態7によるパルス変調回路を示す構成図である。

第12図はこの発明の実施の形態7によるパルス変調回路を示す構成図である。

第13図はこの発明の実施の形態8によるパルス変調回路を示す構成図である。

#### 発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

#### 実施の形態1.

第1図はこの発明の実施の形態1によるパルス変調回路を示す構成図である。図において、ローパスフィルタ（以下、LPFという）2はDCパルス印加端子1に印加されたDCパルス信号（パルス信号）を入力し、そのDCパルス信号から不要波成分を除去してパルス成分をアンチパラレルダイオードペア5に出力する。バンドパスフィルタ（以下、BPFという）4は局部発振波入力端子3に印加された局部発振信号LOを入力し、その局部発振信号LOから不要波成分を除去してアンチパラレルダイオードペア5に出力する。

アンチパラレルダイオードペア5は2つのダイオード5a, 5bが互いに逆向きに並列接続され、BPF4により不要波成分が除去された局部発振信号LOとLPF2により不要波成分が除去されたDCパルス信

号を混合して、その局部発振信号LOの2倍（偶数倍）の周波数を有するRFパルス信号（パルス信号）をBPF6に与える混合手段を構成している。

BPF6はアンチパラレルダイオードペア5から与えられたRFパルス信号のみを通過させてRFパルス出力端子7に出力する。なお、LPF2及びBPF4, 6から分波手段が構成されている。

抵抗8はDCパルス印加端子1とLPF2の間に設置され、アンチパラレルダイオードペア5に印加される電圧を分圧する分圧手段を構成している。

次に動作について説明する。

まず、DCパルス印加端子1に印加されたDCパルス信号はLPF2に入力され、LPF2がDCパルス信号から不要波成分を除去してパルス成分をアンチパラレルダイオードペア5に出力する。

また、局部発振波入力端子3に印加された局部発振信号LOはBPF4に入力され、BPF4が局部発振信号LOから不要波成分を除去してアンチパラレルダイオードペア5に出力する。

アンチパラレルダイオードペア5は、BPF4から不要波成分が除去された局部発振信号LOを受け、LPF2から不要波成分が除去されたDCパルス信号を受けると、その局部発振信号LOとDCパルス信号を混合することにより、その局部発振信号LOの2倍の周波数を有するRFパルス信号をBPF6に与える。

BPF6は、アンチパラレルダイオードペア5からRFパルス信号が与えられると、そのRFパルス信号のみを通過させてRFパルス出力端子7に出力する。

以下、アンチパラレルダイオードペア5の作用を具体的に説明する。ただし、第3図はアンチパラレルダイオードペア5の等価回路である。

例えば、周波数  $\omega_1$  の局部発振信号 LO が局部発振波入力端子 3 に入力されると、周波数  $\omega_1$  の局部発振信号 LO に対しては、第 3 図 (a) に示すように、アンチパラレルダイオードペア 5 のグランド側が開放に見えて、アンチパラレルダイオードペア 5 の BPF 4, 6 側が短絡に見える。

よって、ダイオードペア 5a, 5b が互いに逆向きに接続されていることに注意すれば、各ダイオード 5a, 5b から見れば、周波数  $\omega_1$  の成分は互いに逆向きに印加されていることになり、偶数次の高調波成分である周波数  $2\omega_1$  の成分は同相であることになる。

第 4 図 (a) はダイオード 5a によって半波整流された信号の 2 倍の高調波の位相を表しており、第 4 図 (b) は逆向きのダイオード 5b によって半波整流された信号の 2 倍の高調波の位相を表している。

このことから、2 倍の高調波の位相は互いに逆相になっていることがわかる。

一方、周波数  $\omega_1$  の約 2 倍に相当する周波数  $\omega_r$  の局部発振信号 LO に対しては、第 3 図 (b) に示すように、アンチパラレルダイオードペア 5 のグランド側が短絡に見えて、アンチパラレルダイオードペア 5 の BPF 4, 6 側が開放に見える。

したがって、DC パルス信号である周波数  $\omega_r - 2\omega_1$  の成分は、互いに逆相となるので、逆極性で接続されたダイオード 5a, 5b から足し合わされて取り出すことができる。

なお、アンチパラレルダイオードペア 5 により発生された周波数  $2\omega_1$  の成分は、RF パルス出力端子 7 において互いに逆相であるから、RF パルス出力端子 7 には漏れない。

上記の説明より、奇数次の高調波である局部発振信号 LO の 2 倍の周波数を有する RF パルス信号が RF パルス出力端子 7 から出力されるこ

とが理解されるが、DCパルス印加端子1とLPF2の間に抵抗8が設置されているので、抵抗8の抵抗値を適宜調整すれば、アンチパラレルダイオードペア5に印加される電圧を任意の電圧に設定することができる。

第2図の横軸はDCパルス信号の電圧（DCパルス印加端子1に印加される電圧）を示し、縦軸はRFパルス信号の出力電力を示しており、抵抗8の抵抗値を大きくする程、出力電力が最大となる印加電圧が大きくなる。

したがって、印加電圧が小さい部分に雑音が重畠されることを考慮して、抵抗8の抵抗値を大きく取れば、RFパルス信号がON時の出力電力と、OFF時の出力電力との比を大きく取ることができる。

なお、局部発振信号LOやRFパルス信号は抵抗8には寄与しないので、抵抗8が設置されることにより、RF的な特性に影響を与えることはない。

以上で明らかなように、この実施の形態1によれば、DCパルス信号と局部発振信号LOを混合するアンチパラレルダイオードペア5に印加される電圧を分圧する抵抗8を設置するように構成したので、RFパルス出力端子7に出力するRFパルス信号のON時の出力電力とOFF時の出力電力の比を大きく取ることができる効果を奏する。

また、抵抗8として、可変抵抗を用いれば、図示せぬドライバ回路がパルス変調回路のDCパルス印加端子1に印加するDCパルス信号の電圧を適宜変更する場合でも、そのDCパルス信号の電圧に応じて、アンチパラレルダイオードペア5に印加される電圧を適宜調整することができる効果を奏する。

実施の形態2.

第5図はこの発明の実施の形態2によるパルス変調回路を示す構成図であり、図において、第1図と同一符号は同一または相当部分を示すので説明を省略する。

抵抗10とキャパシタンス11の並列回路は分圧手段を構成し、アンチパラレルダイオードペア5とグランドの間に設置されている。

次に動作について説明する。

上記実施の形態1では、抵抗8がアンチパラレルダイオードペア5に印加される電圧を分圧するものについて示したが、並列回路の抵抗10がアンチパラレルダイオードペア5に印加される電圧を分圧するようにもよく、上記実施の形態1と同様の効果を奏することができる。

なお、局部発振信号LOやRFパルス信号はキャパシタンス11側を通過し、抵抗10には寄与する事がないので、抵抗10が設置されることにより、RF的な特性に影響を与えることはない。

### 実施の形態3.

上記実施の形態2では、抵抗10とキャパシタンス11からなる並列回路をアンチパラレルダイオードペア5とグランドの間に設置するものについて示したが、第6図に示すように、抵抗10とキャパシタンス11からなる並列回路をBPF4, 6の接続部分とアンチパラレルダイオードペア5の間に設置するようにもよく、上記実施の形態2と同様の効果を奏することができる。

### 実施の形態4.

第7図はこの発明の実施の形態4によるパルス変調回路を示す構成図であり、図において、第1図と同一符号は同一または相当部分を示すので説明を省略する。

抵抗 1 2 は D C パルス印加端子 1 とグランドの間に設置され、 D C パルス信号に対する不整合を抑制する。

次に動作について説明する。

上記実施の形態 1 では、抵抗 8 がアンチパラレルダイオードペア 5 に印加される電圧を分圧するものについて示したが、 D C パルス信号のパルス幅が狭い場合、パルス波としては非常に高い周波数成分を持つことになる。

しかし、抵抗 8 がアンチパラレルダイオードペア 5 に印加される電圧を分圧する方式では、 D C パルス印加端子 1 からのインピーダンスが非常に大きくなり、不整合を生じることがある。

そこで、この実施の形態 4 では、 D C パルス印加端子 1 とグランドの間に抵抗 1 2 を設置して、 D C パルス信号に対する不整合を抑制するようしている。

この実施の形態 4 によれば、上記実施の形態 1 と同様の効果に加え、 D C パルス信号に対する不整合を抑制することができる効果を奏する。

なお、この実施の形態 4 では、第 1 図のパルス変調回路に抵抗 1 2 を追加するものについて示したが、第 5 図及び第 6 図のパルス変調回路に抵抗 1 2 を追加するようにしてもよい。

#### 実施の形態 5 。

上記実施の形態 1 では、抵抗 8 からなる分圧手段を搭載し、上記実施の形態 2 では、抵抗 1 0 とキャパシタンス 1 1 の並列回路からなる分圧手段を搭載するものについて示したが、第 8 図に示すように、抵抗 8 ( または 1 0 ) と直列にダイオード 1 3 を接続して分圧手段を構成するようにしてもよい。

上記実施の形態 1 等では、第 2 図に示すように、 R F パルス信号の O

N時とOFF時の出力電力の比を高めようとする場合、OFF時の抵抗値を大きくして、ON時の抵抗値を所望の印加電圧で出力電力の最大値が得られるように設定することが望ましい。

そこで、この実施の形態5では、抵抗8（または10）と直列にダイオード13を接続するようにしている。

第9図はダイオード13が直列に接続されている場合の特性を示しており、DCパルス印加端子1に電圧が印加されていない状態、即ち、OFF時の抵抗値は、“抵抗8（または10）の抵抗値”+“ダイオード13のOFF時の抵抗値”となり、非常に大きな値になる。

一方、DCパルス印加端子1に電圧が印加されている状態、即ち、ON時の抵抗値は、“抵抗8（または10）の抵抗値”+“ダイオード13のON時の抵抗値”となり、ダイオード13のON時の抵抗値は通常数オームであるため、抵抗8（または10）の抵抗値に近い値が得られることになる。

これにより、RFパルス信号のON時とOFF時の出力電力の比を更に高めることができる効果を奏する。

#### 実施の形態6.

第10図はこの発明の実施の形態6によるパルス変調回路を示す構成図であり、図において、第1図と同一符号は同一または相当部分を示すので説明を省略する。

1/4波長先端開放スタブ21は電気長が局部発振信号LOの1/4波長であって先端が開放されている。

1/4波長先端短絡スタブ22は電気長が局部発振信号LOの1/4波長であって先端が短絡されている。

次に動作について説明する。

上記実施の形態 1 では、 L P F 2 と B P F 4 , 6 から分波手段が構成されているものについて示したが、 L P F 2 と B P F 6 から分波手段を構成し、  $1/4$  波長先端開放スタブ 2 1 と  $1/4$  波長先端短絡スタブ 2 2 を搭載して、アンチパラレルダイオードペア 5 と  $1/4$  波長先端短絡スタブ 2 2 の間から局部発振信号 L O を入力するようにしてもよい。

この場合も、アンチパラレルダイオードペア 5 が上記実施の形態 1 と同様の原理で、局部発振信号 L O と D C パルス信号を混合して、その局部発振信号 L O の 2 倍の周波数を有する R F パルス信号を B P F 6 に与える。

また、 D C パルス印加端子 1 と L P F 2 の間に抵抗 8 が設置されているので、上記実施の形態 1 と同様に、抵抗 8 の抵抗値を適宜調整すれば、アンチパラレルダイオードペア 5 に印加される電圧を任意の電圧に設定することができる。

したがって、上記実施の形態 1 と同様に、 R F パルス出力端子 7 に出力する R F パルス信号の O N 時の出力電力と O F F 時の出力電力の比を大きく取ることができる効果を奏する。

また、抵抗 8 として、可変抵抗を用いれば、図示せぬドライバ回路がパルス変調回路の D C パルス印加端子 1 に印加する D C パルス信号の電圧を適宜変更する場合でも、その D C パルス信号の電圧に応じて、アンチパラレルダイオードペア 5 に印加される電圧を適宜調整することができる効果を奏する。

なお、この実施の形態 6 の場合も、局部発振信号 L O や R F パルス信号が抵抗 8 には寄与しないので、抵抗 8 が設置されることにより、 R F 的な特性に影響を与えることはない。

実施の形態 7 .

上記実施の形態 6 では、抵抗 8 がアンチパラレルダイオードペア 5 に印加される電圧を分圧するものについて示したが、第 11 図又は第 12 図に示すように、並列回路の抵抗 10 がアンチパラレルダイオードペア 5 に印加される電圧を分圧するようにしてもよく、上記実施の形態 6 と同様の効果を奏することができる。

なお、局部発振信号 LO や RF パルス信号はキャパシタンス 11 側を通過し、抵抗 10 には寄与する事がないので、抵抗 10 が設置されることにより、RF 的な特性に影響を与えることはない。

#### 実施の形態 8 .

上記実施の形態 6 では、抵抗 8 がアンチパラレルダイオードペア 5 に印加される電圧を分圧するものについて示したが、DC パルス信号のパルス幅が狭い場合、パルス波としては非常に高い周波数成分を持つことになる。

しかし、抵抗 8 がアンチパラレルダイオードペア 5 に印加される電圧を分圧する方式では、DC パルス印加端子 1 からのインピーダンスが非常に大きくなり、不整合を生じることがある。

そこで、この実施の形態 8 では、第 13 図に示すように、DC パルス印加端子 1 とグランドの間に抵抗 12 を設置して、DC パルス信号に対する不整合を抑制するようにしている。

この実施の形態 8 によれば、上記実施の形態 6 と同様の効果に加え、DC パルス信号に対する不整合を抑制することができる効果を奏する。

なお、この実施の形態 6 では、第 10 図のパルス変調回路に抵抗 12 を追加するものについて示したが、第 11 図及び第 12 図のパルス変調回路に抵抗 12 を追加するようにしてもよい。

### 実施の形態 9 .

上記実施の形態 6 ~ 8 では、抵抗 8 ( または 10 ) にダイオード 13 が直列に接続されていないものについて示したが、上記実施の形態 5 と同様に、第 10 図～第 12 図のパルス変調回路の抵抗 8 ( または 10 ) にダイオード 13 を直列に接続するようにしてもよい。

これにより、上記実施の形態 5 と同様に、R F パルス信号の ON 時と OFF 時の出力電力の比を更に高めることができる効果を奏する。

### 産業上の利用可能性

以上のように、この発明に係るパルス変調回路は、例えば、パルス信号を送受信するに際して、パルス信号の周波数を変調する必要がある通信装置やレーダに用いるのに適している。

## 請　求　の　範　囲

1. パルス印加端子からパルス信号を入力するとともに、局部発振波入力端子から局部発振信号を入力する一方、その局部発振信号の偶数倍の周波数を有するパルス信号をパルス出力端子に出力する分波手段と、上記分波手段により入力されたパルス信号と局部発振信号を混合して、その局部発振信号の偶数倍の周波数を有するパルス信号を上記分波手段に与える混合手段と、上記混合手段に印加される電圧を分圧する分圧手段とを備えたパルス変調回路。
2. 抵抗からなる分圧手段をパルス印加端子と分波手段の間に設置したことを特徴とする請求の範囲第1項記載のパルス変調回路。
3. 分圧手段を構成する抵抗が可変抵抗であることを特徴とする請求の範囲第2項記載のパルス変調回路。
4. 抵抗とキャパシタンスの並列回路からなる分圧手段を混合手段とグランドの間、または、分波手段と上記混合手段の間に設置したことを特徴とする請求の範囲第1項記載のパルス変調回路。
5. パルス印加端子とグランドの間に抵抗を設置したことを特徴とする請求の範囲第1項記載のパルス変調回路。
6. 抵抗とダイオードの直列回路からなる分圧手段をパルス印加端子と分波手段の間に設置したことを特徴とする請求の範囲第1項記載のパルス変調回路。

7. 抵抗及びダイオードの直列回路とキャパシタンスの並列回路からなる分圧手段を混合手段とグランドの間、または、分波手段と上記混合手段の間に設置したことを特徴とする請求の範囲第1項記載のパルス変調回路。

8. パルス印加端子からパルス信号を入力する一方、局部発振信号の偶数倍の周波数を有するパルス信号をパルス出力端子に出力する分波手段と、上記分波手段により入力されたパルス信号と局部発振波入力端子から入力された局部発振信号を混合して、その局部発振信号の偶数倍の周波数を有するパルス信号を上記分波手段に与える混合手段と、上記混合手段に印加される電圧を分圧する分圧手段とを備えたパルス変調回路。

9. 抵抗からなる分圧手段をパルス印加端子と分波手段の間に設置したことを特徴とする請求の範囲第8項記載のパルス変調回路。

10. 分圧手段を構成する抵抗が可変抵抗であることを特徴とする請求の範囲第9項記載のパルス変調回路。

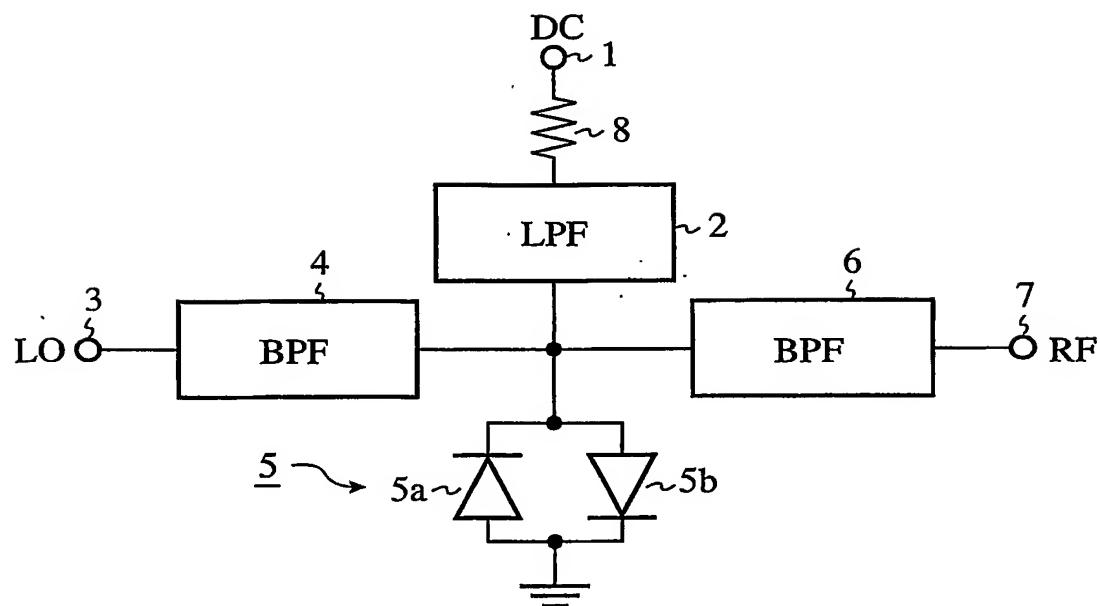
11. 抵抗とキャパシタンスの並列回路からなる分圧手段を混合手段と局部発振波入力端子の間、または、分波手段と上記混合手段の間に設置したことを特徴とする請求の範囲第8項記載のパルス変調回路。

12. パルス印加端子とグランドの間に抵抗を設置したことを特徴とする請求の範囲第8項記載のパルス変調回路。

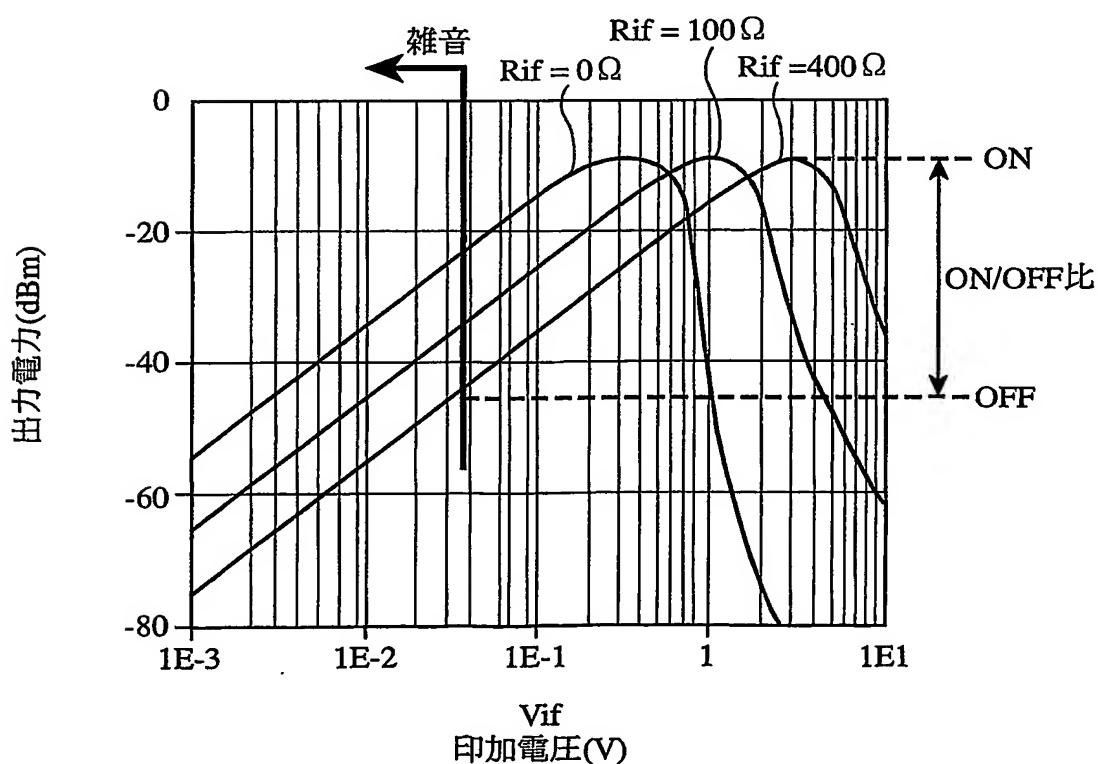
13. 抵抗とダイオードの直列回路からなる分圧手段をパルス印加端子と分波手段の間に設置したことを特徴とする請求の範囲第8項記載のパルス変調回路。

14. 抵抗及びダイオードの直列回路とキャパシタンスの並列回路からなる分圧手段を混合手段と局部発振波入力端子の間、または、分波手段と上記混合手段の間に設置したことを特徴とする請求の範囲第8項記載のパルス変調回路。

第1図



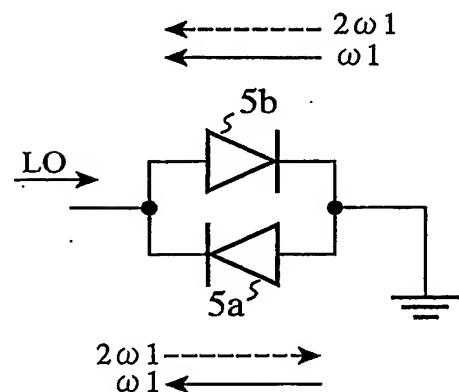
第2図



### 第3回

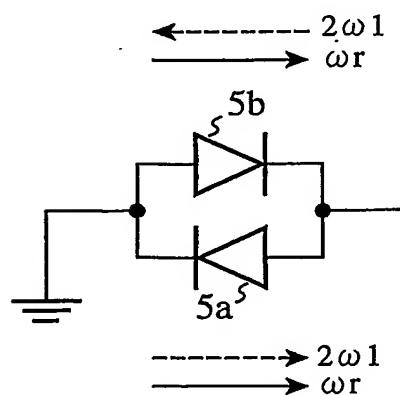
(a)

### ω1に対する等価回路

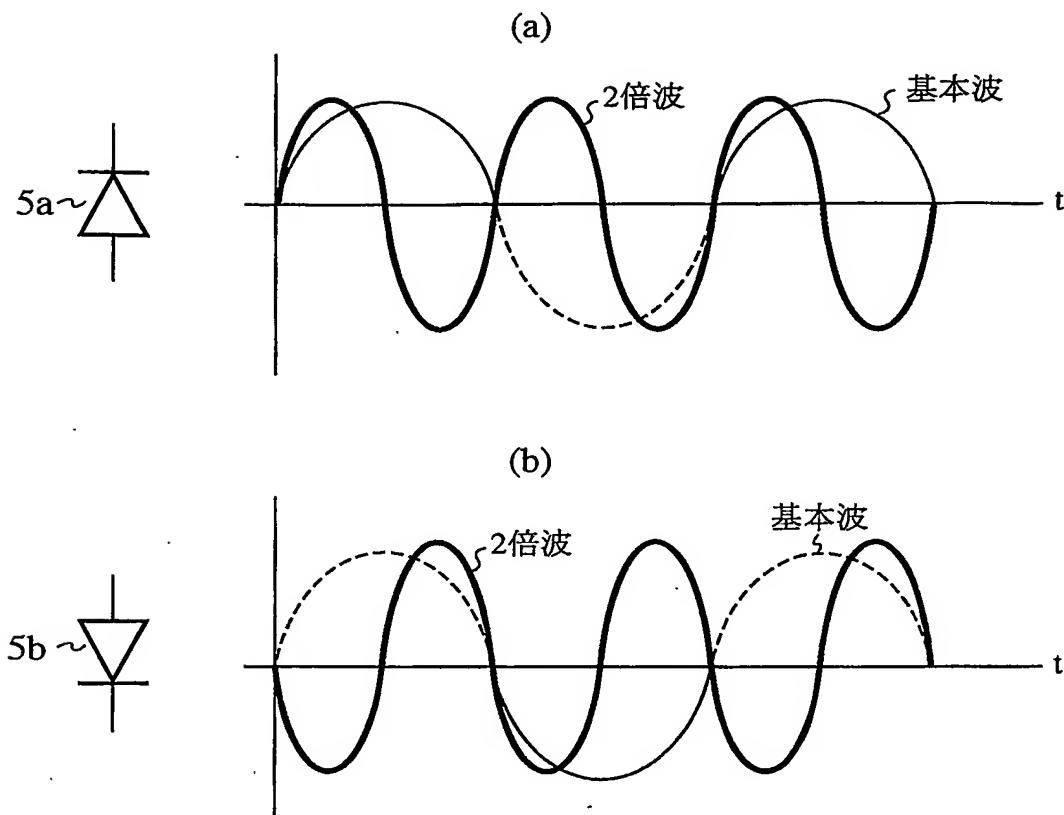


(b)

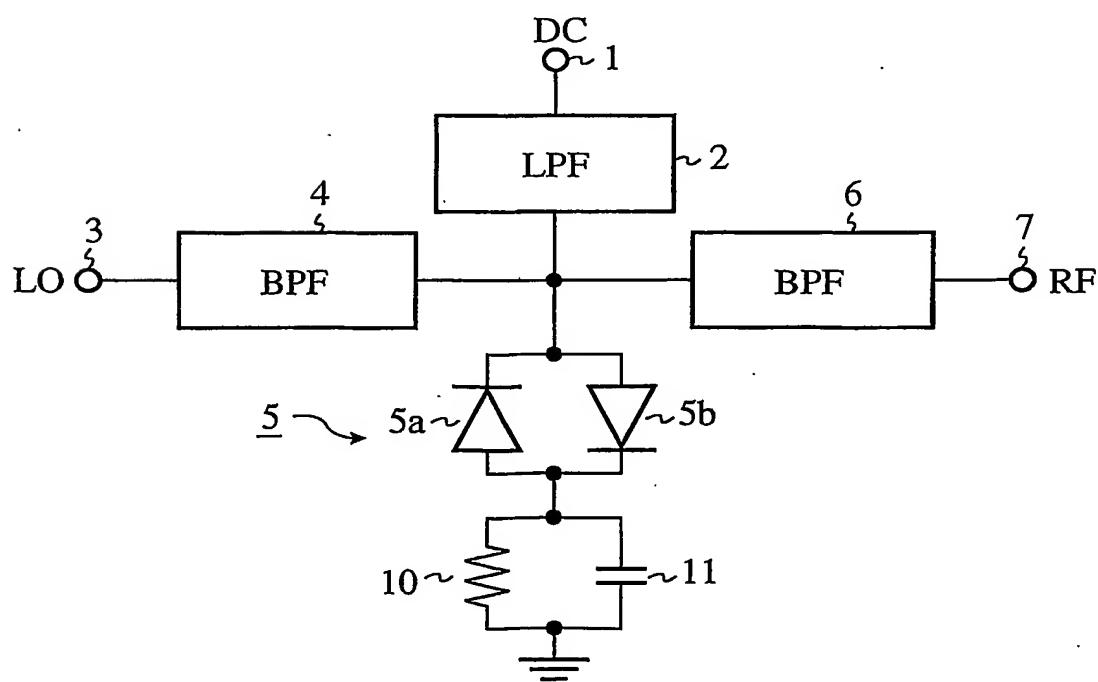
$\omega_r$ および $2\omega_1$ に対する等価回路



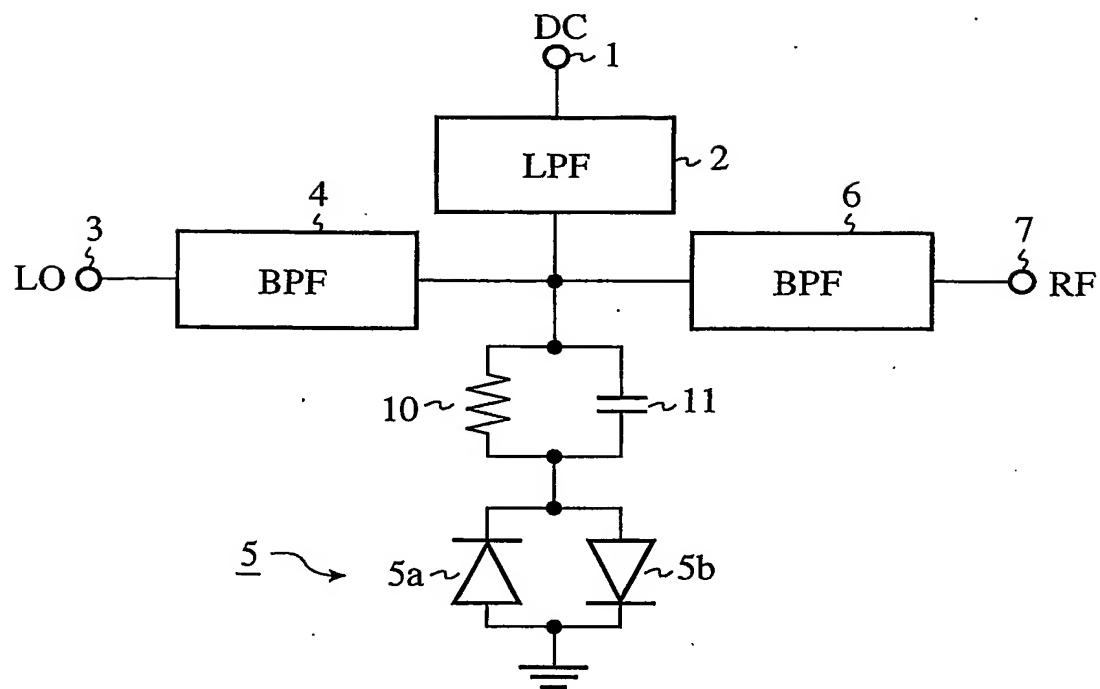
第4図



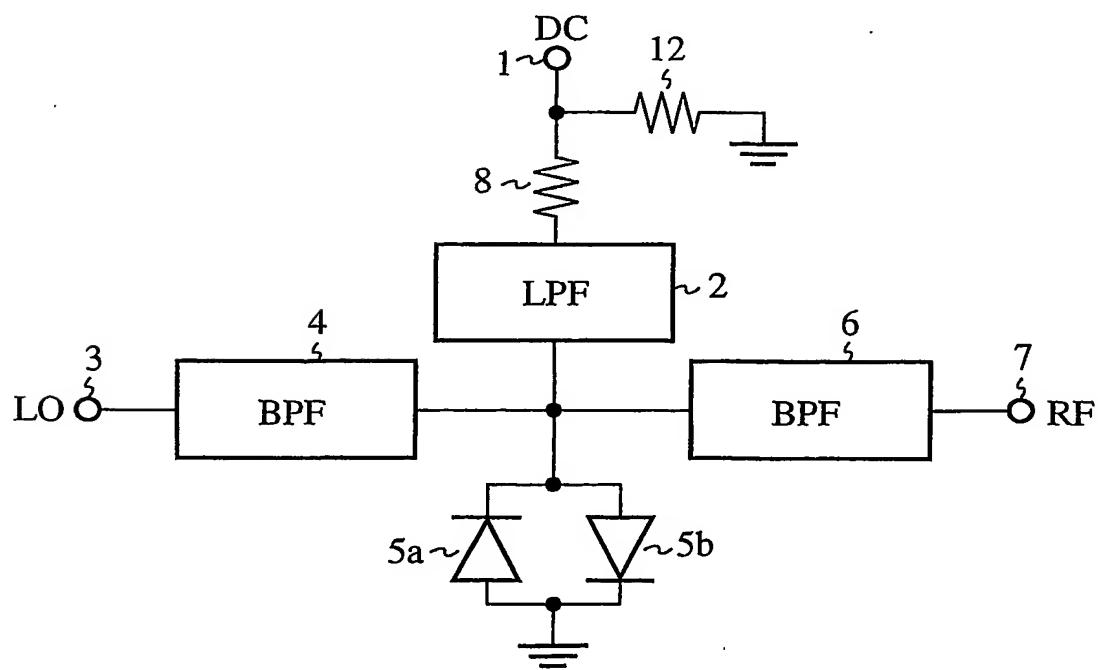
第5図



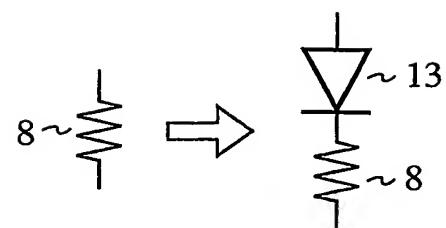
第6図



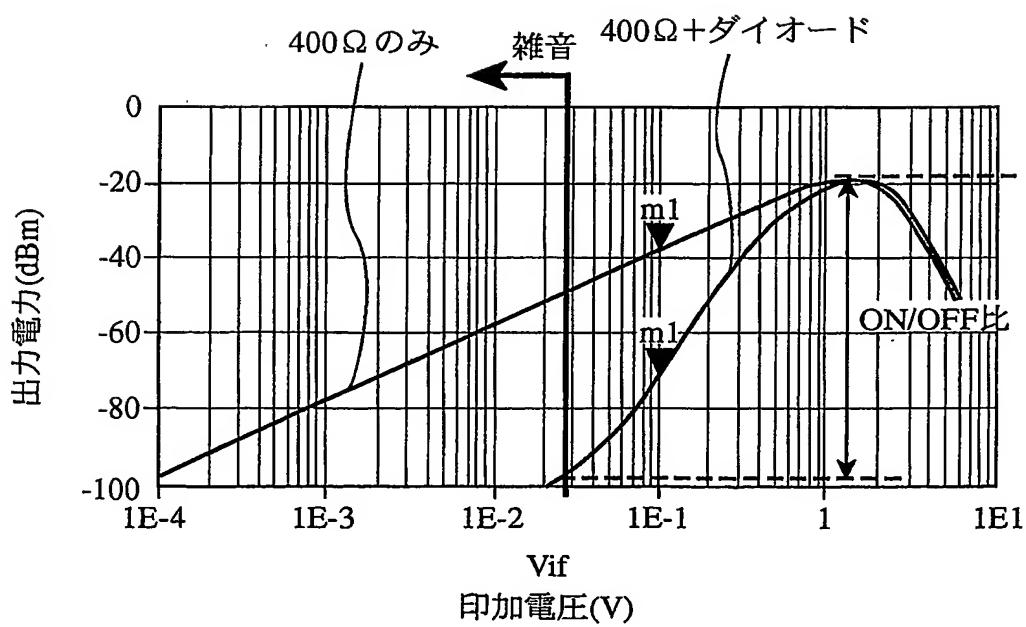
第7図



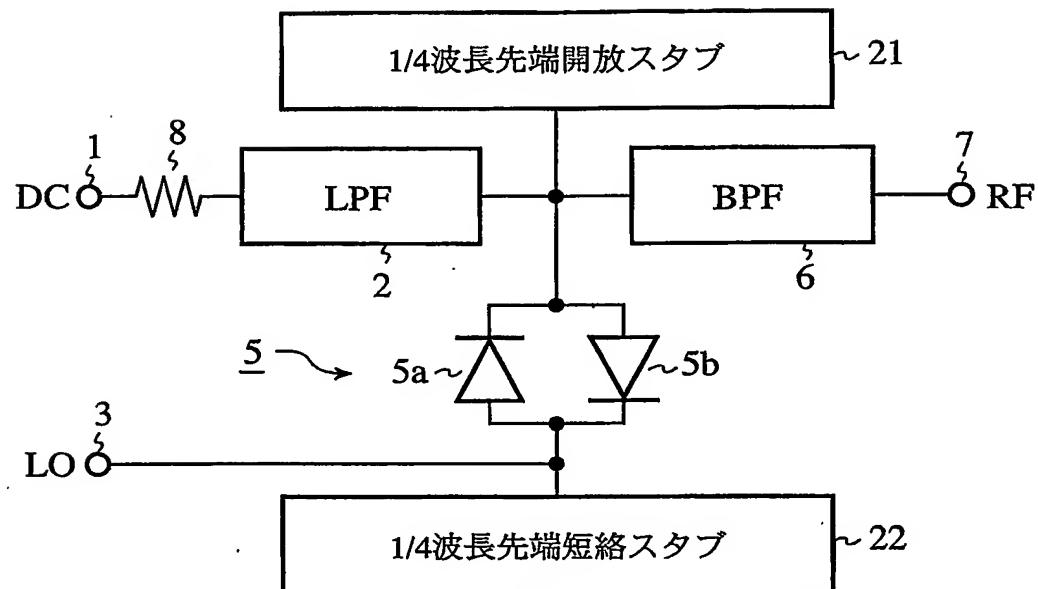
第8図



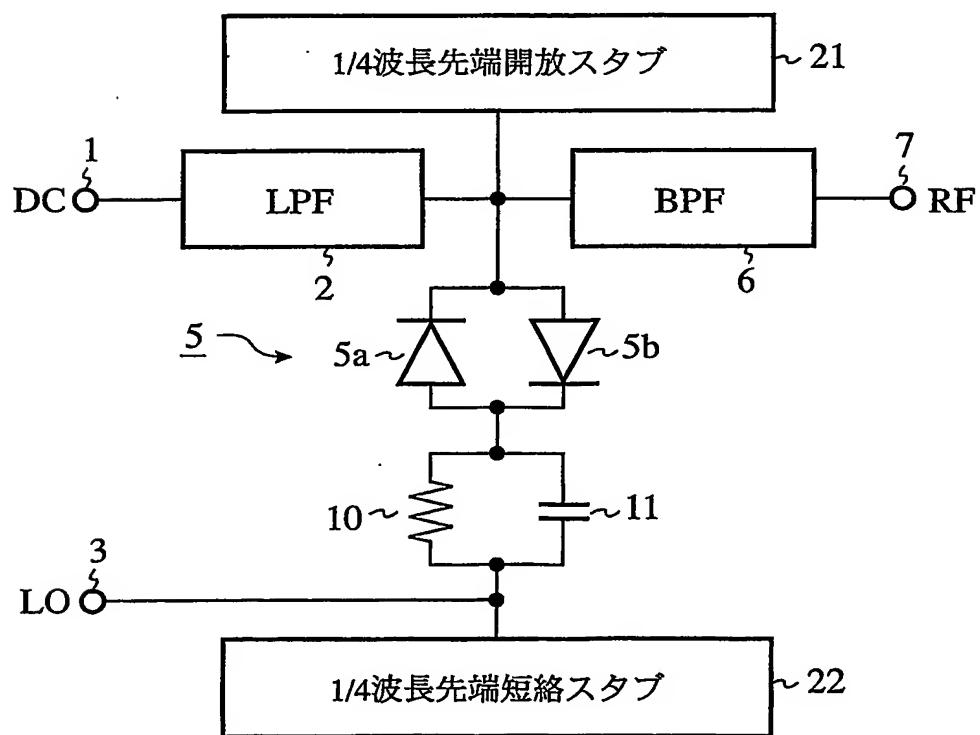
第9図



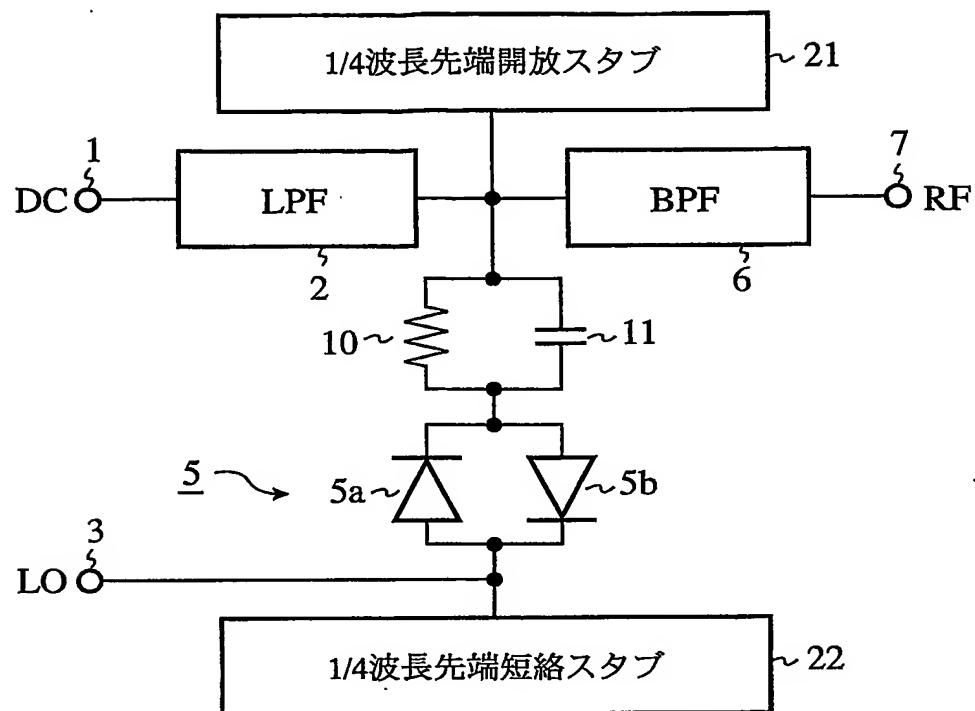
第10図



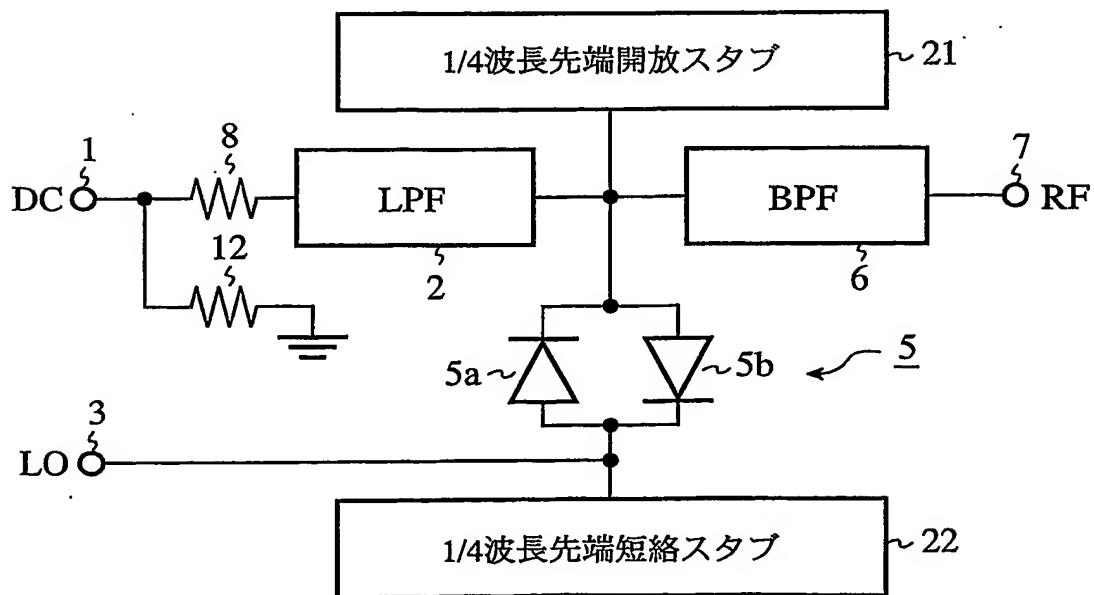
第11図



第12図



第13図



## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP03/13947A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H03C3/00, H03D7/02

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H03C3/00, H03D7/02Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-27053 A (Sony Corp.), 29 January, 1999 (29.01.99), (Family: none)	1-3, 8-10 4-7, 11-14
Y A	JP 11-313116 A (Mitsubishi Electric Corp.), 09 November, 1999 (09.11.99), (Family: none)	1-3 4-7
Y A	JP 2002-344246 A (Sharp Corp.), 29 November, 2002 (29.11.02), (Family: none)	8-10 11-14
A	JP 2000-338233 A (Mitsubishi Electric Corp.), 08 December, 2000 (08.12.00), & DE 10027064 A1 & US 6362777 A	1-14

 Further documents are listed in the continuation of Box C.  See patent family annex.

- \* Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
03 February, 2004 (03.02.04)Date of mailing of the international search report  
17 February, 2004 (17.02.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. C17 H03C3/00 H03D7/02

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. C17 H03C3/00 H03D7/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-27053 A (ソニー株式会社)	1-3, 8-10
A	1999. 01. 29 (ファミリーなし)	4-7, 11-14
Y	JP 11-313116 A (三菱電機株式会社)	1-3
A	1999. 11. 09 (ファミリーなし)	4-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日  
03.02.2004

国際調査報告の発送日  
17.2.2004

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
佐藤 敬介

5W 9196

電話番号 03-3581-1101 内線 3574

C (続き) 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y A	J P 2 0 0 2 - 3 4 4 2 4 6 A (シャープ株式会社) 2 0 0 2 . 1 1 . 2 9 (ファミリーなし)	8-10 11-14
A	J P 2 0 0 0 - 3 3 8 2 3 3 A (三菱電機株式会社) 2 0 0 0 . 1 2 . 0 8 & DE 1 0 0 2 7 0 6 4 A 1 & US 6 3 6 2 7 7 7 A	1-14